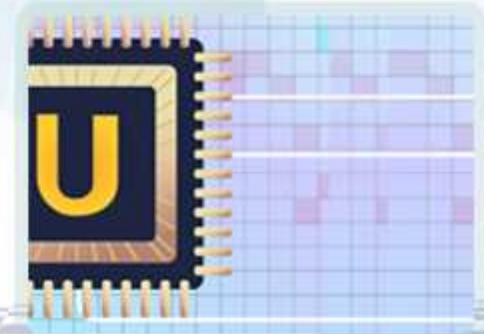
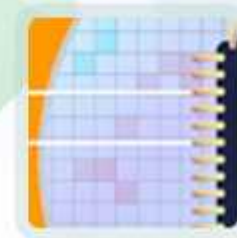
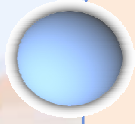


4강

처리장치(2)

컴퓨터 구조
컴퓨터과학과 김형근 교수





제3장 처리장치

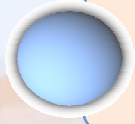
강 의 내 용

1. 산술논리연산장치

2. 상태 레지스터

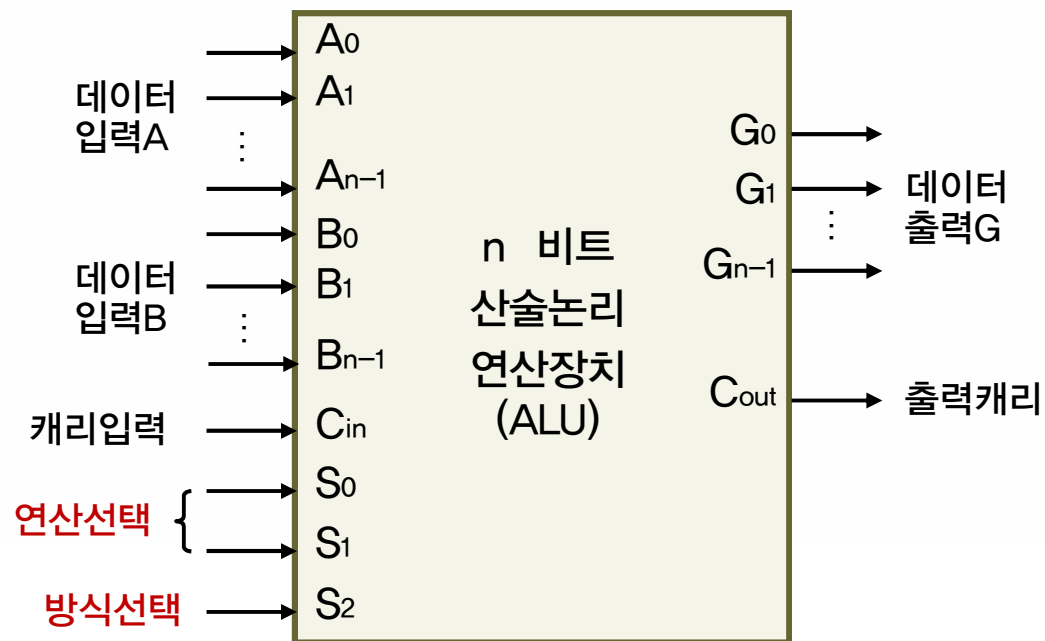
3. 쉬프트

4. 제어단어

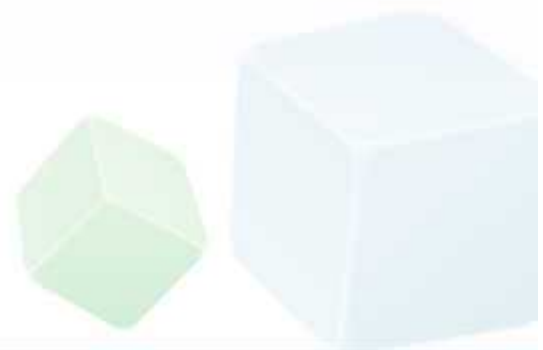


3.3.3 산술논리연산장치

- ❖ 산술연산과 논리연산을 실행하는 조합논리회로
- ❖ 산술연산회로와 논리연산회로의 결합



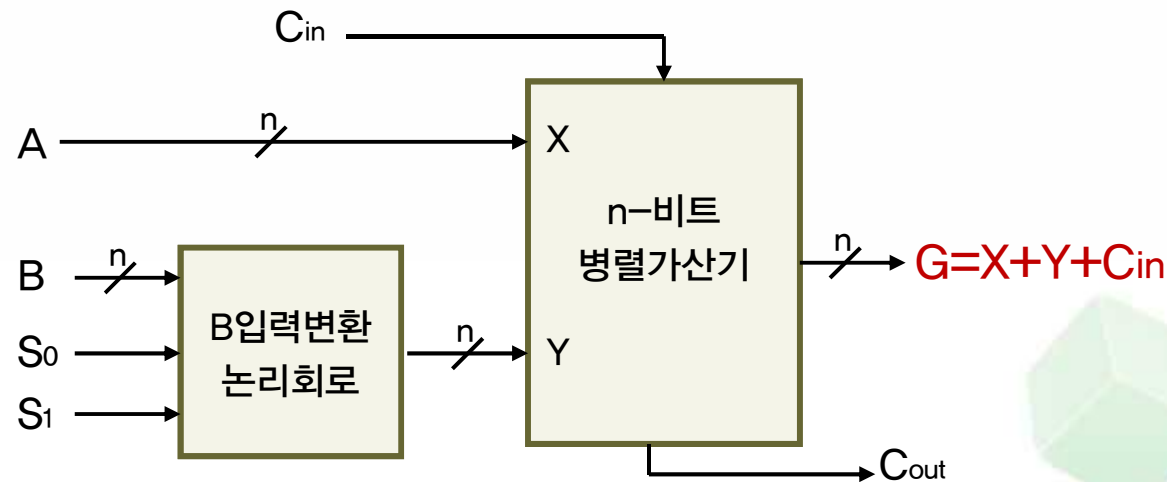
〈 n비트 ALU의 블록도 〉

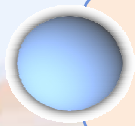


3.3.3 산술논리연산장치

❖ 산술연산회로

- ✓ 여러 개의 전가산기(FA)를 연속적으로 연결한 병렬가산기로 구성
- ✓ 병렬가산기로 들어가는 제어입력 값을 선택하여 여러 가지 형태의 산술연산을 실행





3.3.3 산술논리연산장치

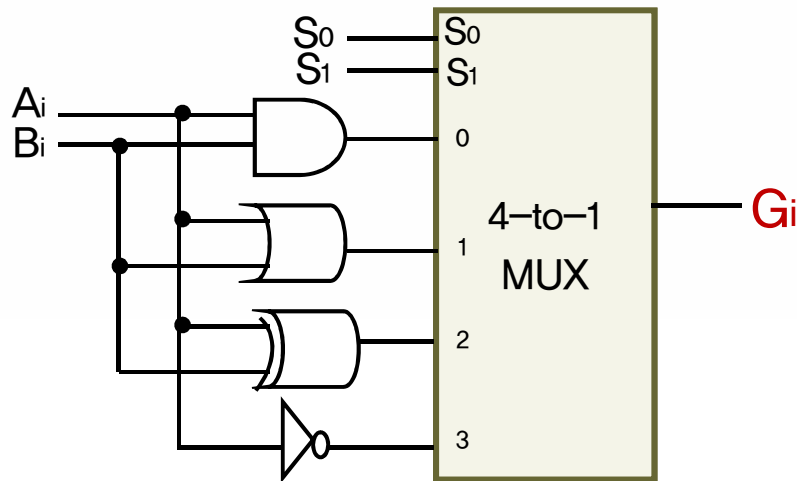
❖ 산술연산의 종류

선택신호		입 력 값	$G=A +Y +C_{in}$	
S_1	S_0	Y	$C_{in} = 0$	$C_{in} = 1$
0	0	모두 0	$G = A$ (전송)	$G = A+1$ (증가)
0	1	B	$G = A+B$ (가산)	$G = A+B+1$
1	0	$\bar{B}$	$G = A+\bar{B}$	$G = A+\bar{B}+1$ (감산)
1	1	모두 1	$G = A-1$ (감소)	$G = A$ (전송)

3.3.3 산술논리연산장치

❖ 논리연산회로

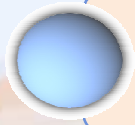
- ✓ 레지스터에 있는 각 비트를 독립된 2진 변수로 간주하여 비트별 연산을 실행
- ✓ AND, OR, XOR, NOT연산 등이 있으며, 이를 이용하여 복잡한 연산을 유도



(a) 논리도

S_1	S_0	출 력	연 산
0	0	$G = A \wedge B$	AND
0	1	$G = A \vee B$	OR
1	0	$G = A \oplus B$	XOR
1	1	$G = \bar{A}$	NOT

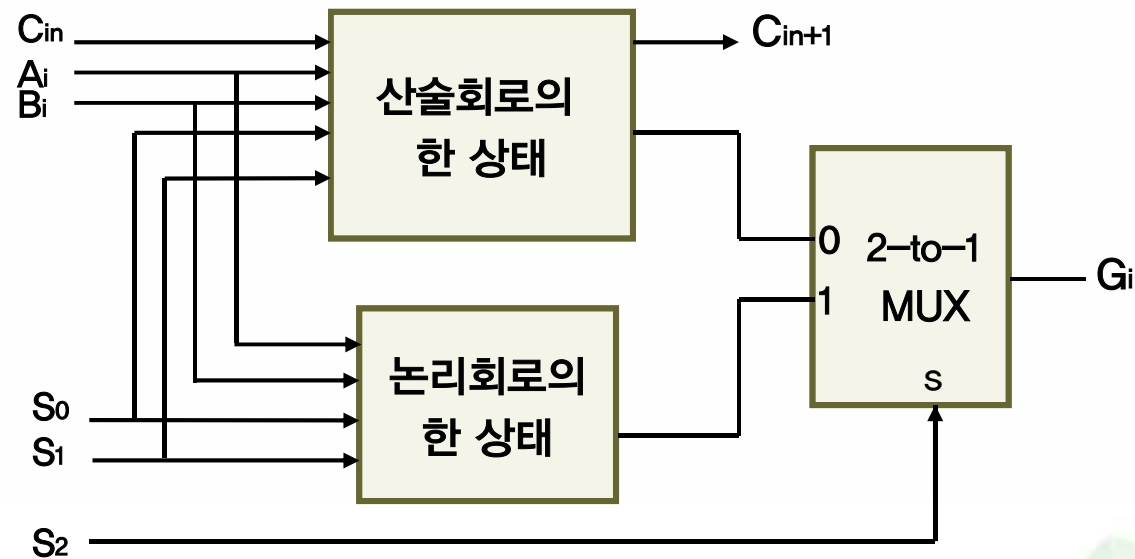
(b) 함수표



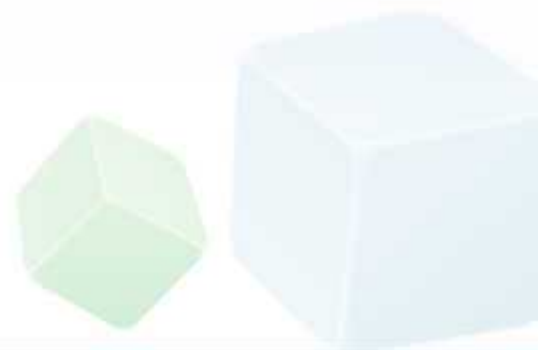
3.3.3 산술논리연산장치

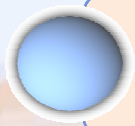
❖ 산술논리연산장치

- ✓ 산술연산장치와 논리연산장치를 결합



〈한 단계의 ALU 구성도〉





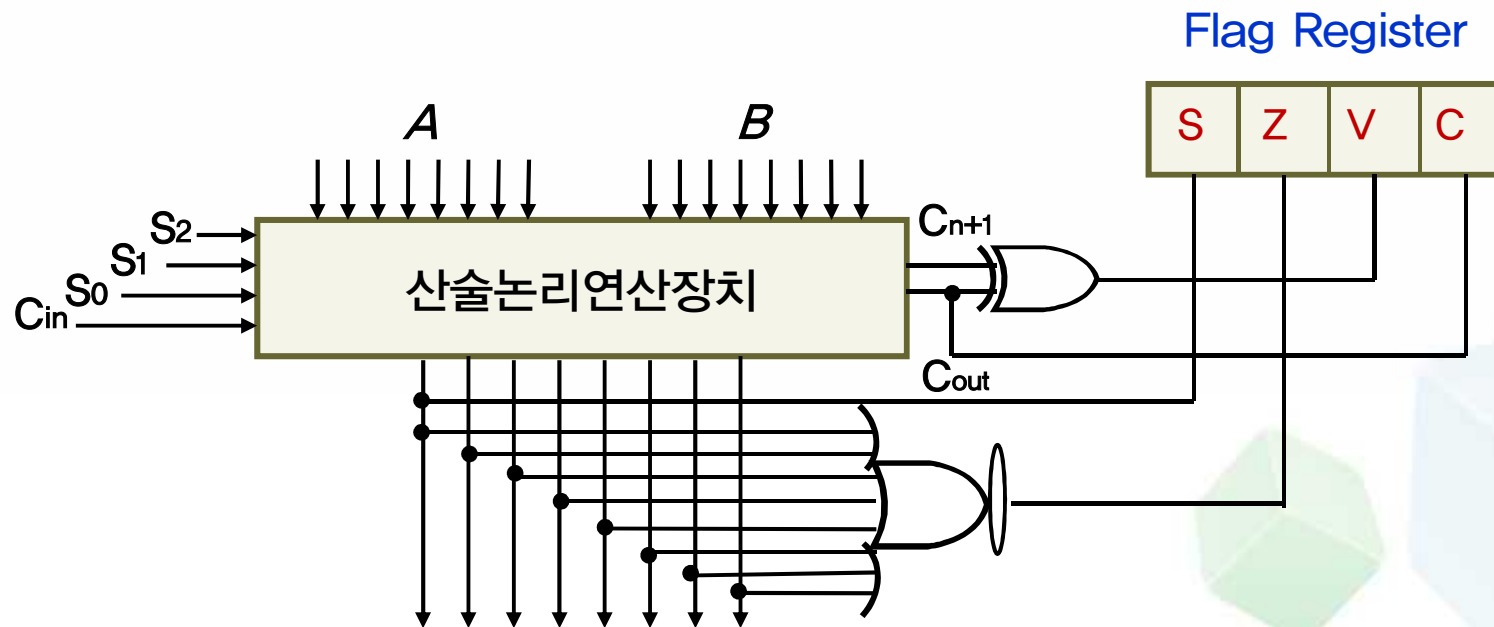
3.3.3 산술논리연산장치

❖ ALU에 대한 연산표

8비트 데이터의 경우				연 산	기 능
S2	S1	S0	C _{in}		
0	0	0	0	$G = A$	A의 전송
0	0	0	1	$G = A+1$	A에 1 더하기
0	0	1	0	$G = A+B$	덧셈
0	0	1	1	$G = A+B+1$	캐리 값 1과 더하기
0	1	0	0	$G = A+\bar{B}$	A에 B의 1의 보수 더하기
0	1	0	1	$G = A+\bar{B}+1$	뺄셈
0	1	1	0	$G = A-1$	A에서 1 빼기
0	1	1	1	$G = A$	A의 전송
1	0	0	x	$G = A \wedge B$	AND
1	0	1	x	$G = A \vee B$	OR
1	1	0	x	$G = A \oplus B$	XOR
1	1	1	x	$G = \bar{A}$	A의 보수

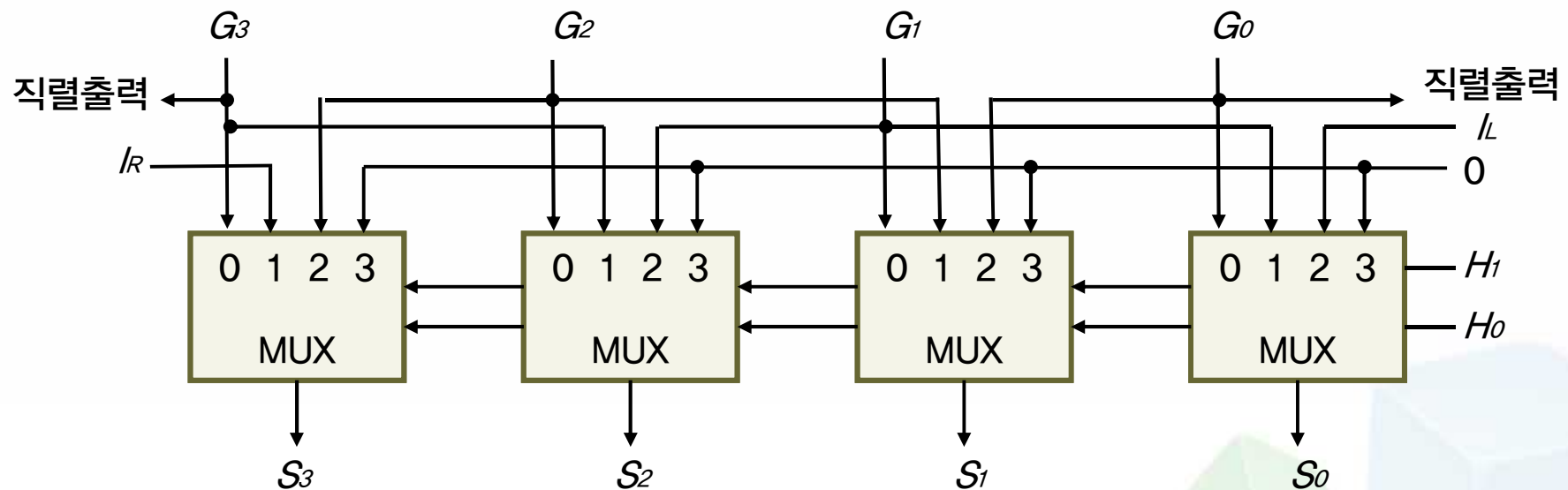
3.3.4 상태 레지스터(flag register)

- ❖ ALU에서 산술연산이 수행된 후 연산결과에 의해 나타나는 상태 값을 저장.
- ❖ 상태 레지스터들은 C(carry bit), S(sign bit), Z(zero bit), V(overflow bit)로 구성



3.3.5 쉬프터(shifter)

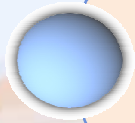
- ❖ 입력데이터의 모든 비트들을 각각 서로 이웃한 비트로 자리를 옮기는 쉬프트 연산을 수행



3.3.5 쉬프터(shifter)

❖ 쉬프트 연산의 종류

H_1	H_0	연 산	기 능
0	0	$S \leftarrow G$	쉬프트 없이 전송
0	1	$S \leftarrow shr\ G$	우측 쉬프트하여 전송
1	0	$S \leftarrow shl\ G$	좌측 쉬프트하여 전송
1	1	$S \leftarrow 0$	모든 출력비트에 0을 전송



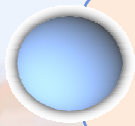
3.3.6 제어단어

❖ 제어단어(control word)

: 제어변수(선택신호)들의 묶음

➤ 선택신호

- 처리장치내에서 수행되는 마이크로연산을 선택하는 변수
- 처리장치의 버스, ALU, 쉬프트, 도착 레지스터 등을 제어
- 선택신호 즉, 제어변수가 특정한 마이크로연산을 선택
- 이러한 제어변수들의 묶음을 제어단어(control word)라 함



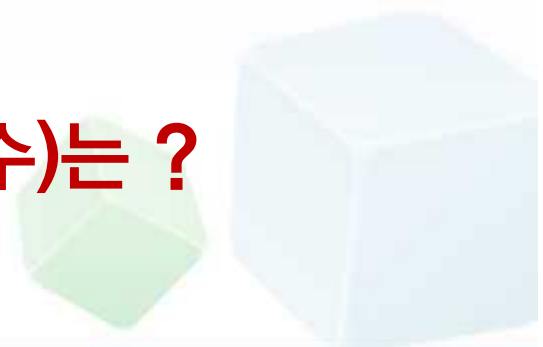
3.3.6 제어단어

❖ 제어단어를 살펴보기 위해

➤ 처리장치의 구성 예가 다음과 같다면

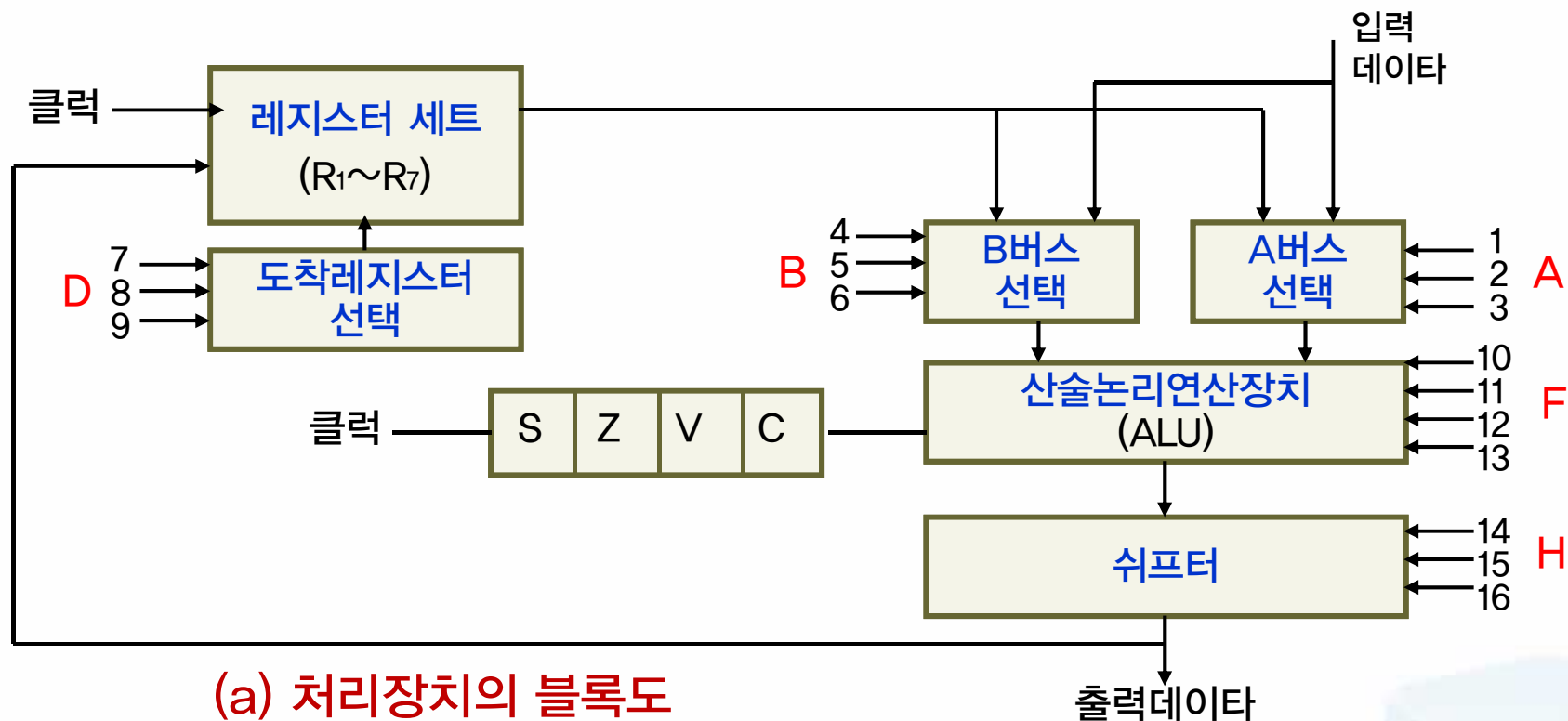
- 레지스터 세트 : 7개의 레지스터(R1 ~ R7)
- 산술논리연산장치 : 12가지 연산을 수행
- 쉬프터 : 6가지 연산을 수행

✓ 제어단어를 구성하는 선택신호(제어변수)는 ?

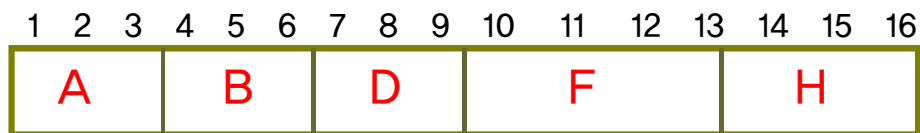


3.3.6 제어단어

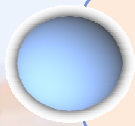
❖ 처리장치의 구조에서 선택신호와 제어단어의 구성



(a) 처리장치의 블록도



(b) 제어단어

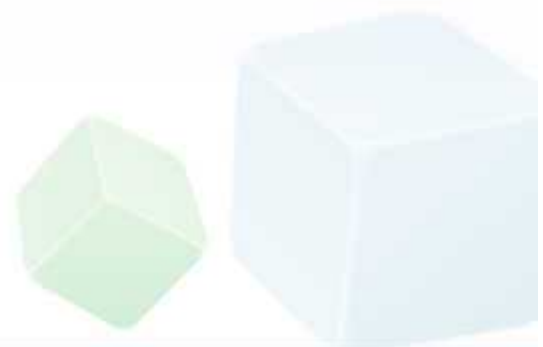


3.3.6 제어단어

❖ 제어단어의 내역

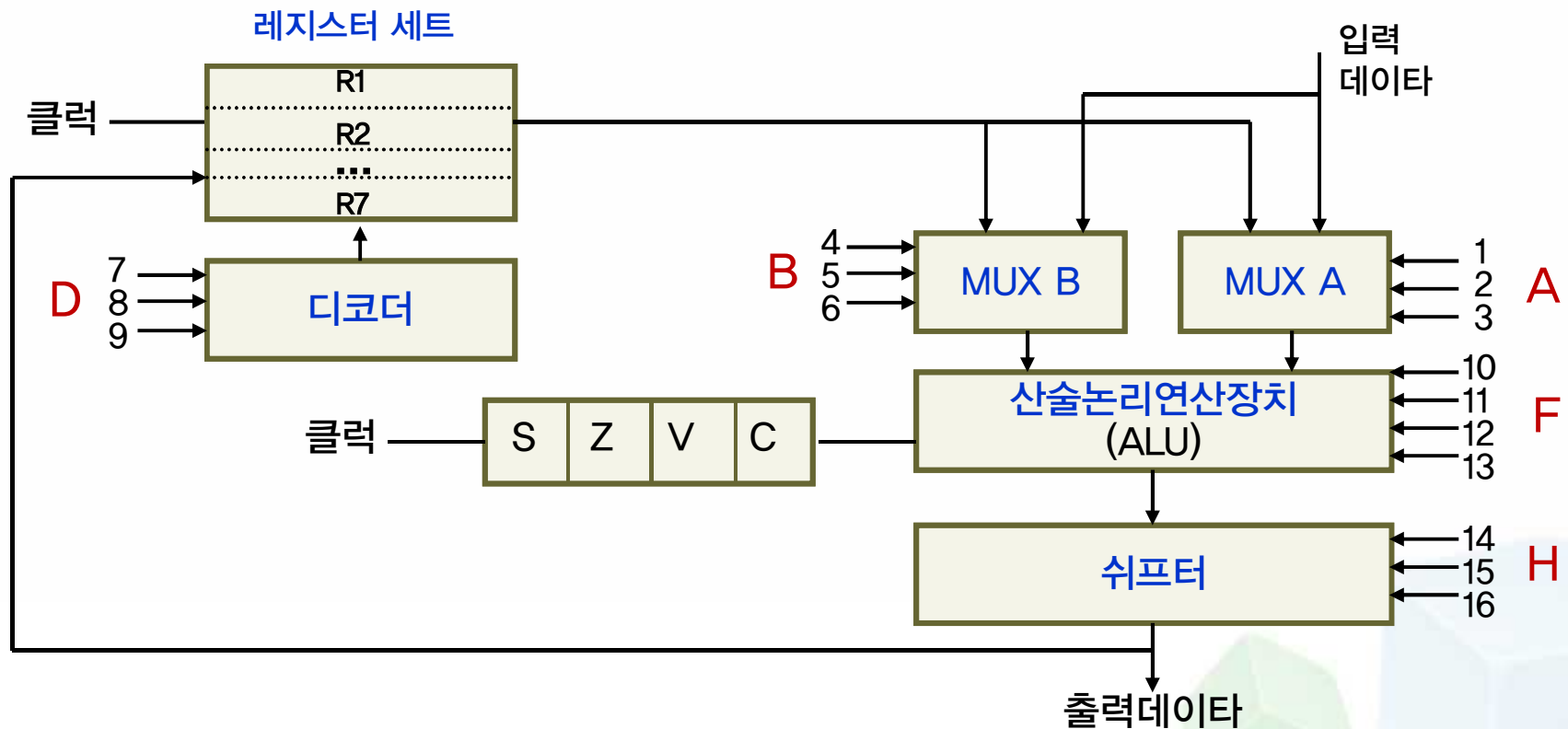
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
A			B			D			F				H		

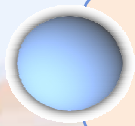
- ✓ **A 필드** : ALU로 입력되는 A 버스 선택(3 비트)
- ✓ **B 필드** : ALU로 입력되는 B 버스 선택(3 비트)
- ✓ **D 필드** : 도착 레지스터 선택(3 비트)
- ✓ **F 필드** : ALU의 연산 선택(4 비트)
- ✓ **H 필드** : 쉬프트의 연산 선택(3 비트)



3.3.6 제어단어

❖ 제어단어 각 필드의 동작





3.3.6 제어단어

❖ 제어단어의 내역표

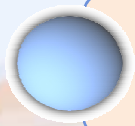
2진 코드	A	B	D	F		H
				Cin = 0	Cin = 1	
000	외부입력	외부입력	없음	$F=A$	$F=A+1$	쉬프트없음
001	$R1$	$R1$	$R1$	$F=A+B$	$F=A+B+1$	SHR
010	$R2$	$R2$	$R2$	$F=A+\bar{B}$	$F=A-B$	SHL
011	$R3$	$R3$	$R3$	$F=A-1$	$F=A$	$bus=0$
100	$R4$	$R4$	$R4$	$F=A \wedge B$	—	—
101	$R5$	$R5$	$R5$	$F=A \vee B$	—	ROR
110	$R6$	$R6$	$R6$	$F=A \oplus B$	—	ROL
111	$R7$	$R7$	$R7$	$F=\bar{A}$	—	—

3.3.6 제어단어

❖ 제어단어의 작성 예

$$R1 \leftarrow R2 - R3$$

- ① **A 필드** : ALU의 A 버스 입력으로 **R2**의 내용을 보낸다.
- ② **B 필드** : ALU의 B 버스 입력으로 **R3**의 내용을 보낸다.
- ③ **D 필드** : 연산 결과를 도착 레지스터 **R1**으로 보낸다.
- ④ **F 필드** : ALU에서 감산 연산(**F=A-B**)을 수행한다.
- ⑤ **H 필드** : 쉬프트터에서 연산을 수행하지 않는다. (**쉬프트 없음**)



3.3.6 제어단어

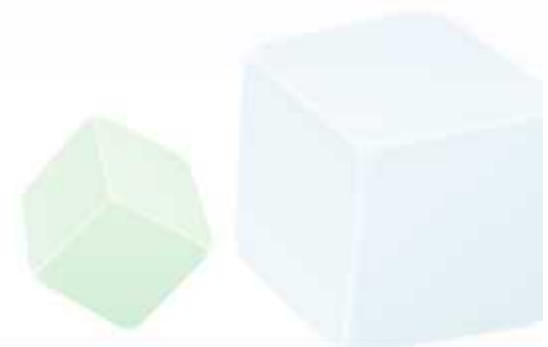
❖ 작성 방법($R1 \leftarrow R2 - R3$)

2진 코드	A	B	D	F		H
				Cin = 0	Cin = 1	
000	외부입력	외부입력	없음	$F=A$	$F=A+1$	쉬프트없음
001	$R1$	$R1$	$R1$	$F=A+B$	$F=A+B+1$	SHR
010	$R2$	$R2$	$R2$	$F=A+\bar{B}$	$F=A-B$	SHL
011	$R3$	$R3$	$R3$	$F=A-1$	$F=A$	bus=0
100	$R4$	$R4$	$R4$	$F=A \wedge B$	—	—
101	$R5$	$R5$	$R5$	$F=A \vee B$	—	ROR
110	$R6$	$R6$	$R6$	$F=A \oplus B$	—	ROL
111	$R7$	$R7$	$R7$	$F=\bar{A}$	—	—

3.3.6 제어단어

❖ 작성 결과

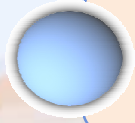
필드	A	B	D	F	H
기호	R2	R3	R1	$F=A-B$	쉬프트없음
2진코드	010	011	001	0101	000



3.3.6 제어단어

❖ 여러 가지 마이크로 연산에 대한 제어단어의 예

마이크로연산	기 호 표 시	2진 제어단어				
	A B D F H	A	B	D	F	H
$R1 \leftarrow R2 - R3$	$R2 \ R3 \ R1 \ F=A-B$ 쉬프트없음	010	011	001	0101	000
$R4 \leftarrow shr(R5 + R6)$	$R5 \ R6 \ R4 \ F=A+B$ SHR	101	110	100	0010	001
$R7 \leftarrow R7 + 1$	$R7 - R7 \ F=A+1$ 쉬프트없음	111	000	111	0001	000
$R1 \leftarrow R2$	$R2 - R1 \ F=A$ 쉬프트없음	010	000	001	0000	000
$Output \leftarrow R3$	$R3 - NONE \ F=A$ 쉬프트없음	011	000	000	0000	000
$R4 \leftarrow rol \ R3$	$R4 - R4 \ F=A$ ROL	100	000	100	0000	110
$R5 \leftarrow 0$	$- - R5 - bus=0$	000	000	101	0000	011

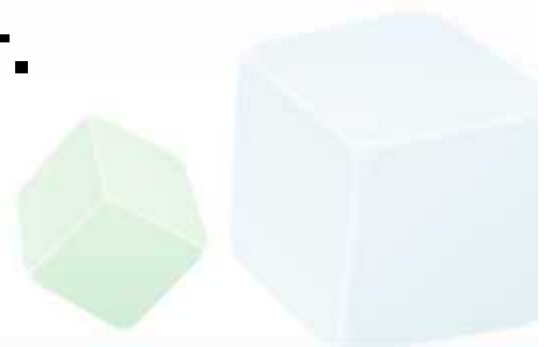


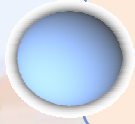
3.3.6 제어단어

❖ 제어단어 생성을 위한 효과적인 방법

: 작성된 제어단어를 기억장치에 저장하고, 기억장치의 출력을 처리장치의 각 구성요소의 선택신호로 연결

❖ 이렇게 하면 기억장치로부터 연속적인 제어단어를 읽음으로써 처리장치에서의 마이크로 연산이 정해진 순서대로, 연속적으로 수행된다.





내용 정리

❖ 처리장치(2)

- ✓ 산술논리연산장치
- ✓ 상태 레지스터
- ✓ 쉬프트
- ✓ 제어단어의 의미와 작성방법

